

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-008008

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H01L 29/78  
H01L 21/8234  
H01L 27/088  
H01L 29/43  
H01L 29/786

(21)Application number : 2001-188970

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 22.06.2001

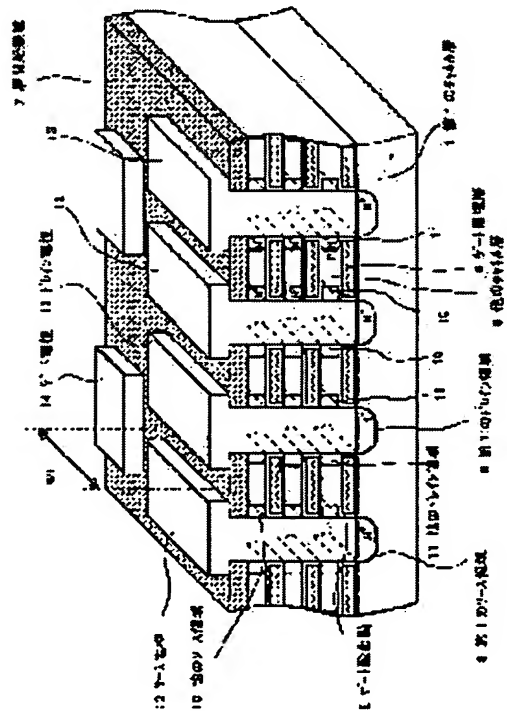
(72)Inventor : KUBO HIROTOSHI  
SHIGETA NORIHIRO  
KUWAKO EIICHIRO

## (54) INSULATED GATE SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem that the reductions of the on-resistances of the planar transistors of an insulated gate semiconductor device largely relies upon the device or lithography in such a way that the cell densities of the transistors must be improved by scale-down etc., and, when the scale-down is advanced further, the gate lengths of the transistors become shorter due to a scaling rule, and the withstand voltages of the transistors are deteriorated depending upon impressed gate voltages.

**SOLUTION:** The insulated gate semiconductor device is constituted in a multilayered structure by alternately laminating the gate electrode layers and channel layers of planar transistors upon another. Consequently, a structure in which the planar transistors are arranged in parallel can be realized and the gate width of the device also increases in proportion to the number of laminated layers. Therefore, the total on-resistance of the semiconductor device can be reduced without reducing the size



**THIS PAGE BLANK (USPTO)**

of the device nor relying upon lithography technology.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

2006/12/14 10:30:00

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-8008

(P2003-8008A)

(43) 公開日 平成15年1月10日 (2003.1.10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 W 4 M 1 0 4
21/8234			3 0 1 X 5 F 0 4 8
27/088		29/62	G 5 F 1 1 0
29/43		27/08	1 0 2 B 5 F 1 4 0
29/786			1 0 2 E
審査請求 未請求 請求項の数14 O L (全 13 頁) 最終頁に続く			

(21) 出願番号 特願2001-188970(P2001-188970)

(22) 出願日 平成13年6月22日 (2001.6.22)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 久保 博稔

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 重田 典博

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

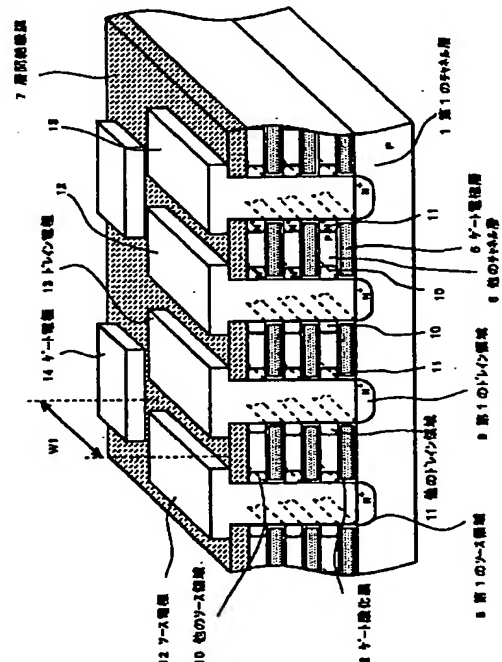
最終頁に続く

(54) 【発明の名称】 絶縁ゲート型半導体装置およびその製造方法

(57) 【要約】

【課題】 プレーナー型トランジスタのオン抵抗を低減するには微細化によりセル密度を向上するなど、装置やリソグラフィー技術に依存する点が多かった。さらに微細化をすすめると、スケールング則によりゲート長も縮小し、印加するゲート電圧によっては、耐圧が劣化するなどの問題があった。

【解決手段】 本発明はプレーナー型トランジスタのゲート電極層とチャネル層を交互に積層した多層構造とするもので、プレーナー型トランジスタを並列に接続した構造が実現でき、ゲート幅も積層数に比例して増加する。これにより微細化の装置および技術に依存することなく、装置の総オン抵抗を低減できるものである。



1

## 【特許請求の範囲】

【請求項1】 一導電型の半導体基板表面の1つのチャンネル層と、前記チャンネル層の表面に離間して設けられた逆導電型の1つのソース領域およびドレイン領域と、前記ソース領域およびドレイン領域と隣接した前記チャンネル層上に交互に積層された複数のゲート電極層および他のチャンネル層とを具備することを特徴とする絶縁ゲート型半導体装置。

【請求項2】 前記1つのソース領域およびドレイン領域は導電性材料により前記他のチャンネル層とそれぞれコンタクトすることを特徴とする請求項1に記載の絶縁ゲート型半導体装置。

【請求項3】 一導電型の半導体基板表面の1つのチャンネル層と、前記チャンネル層の表面に離間して設けられた逆導電型の1つのソース領域およびドレイン領域と、前記ソース領域およびドレイン領域と隣接した前記チャンネル層上に交互に積層された複数のゲート電極層および他のチャンネル層と、前記複数のゲート電極層すべてとコンタクトするゲート電極と、前記1つのソース領域および前記他のチャンネル層の一端とコンタクトするソース電極と、前記1つのドレイン領域および前記他のチャンネル層の他端とコンタクトするドレイン電極とを具備することを特徴とする絶縁ゲート型半導体装置。

【請求項4】 前記絶縁ゲート型半導体装置のセルを連続して多数個配置し、前記セル間の前記ソース電極、ドレイン電極およびゲート電極はそれぞれ連結されることを特徴とする請求項3に記載の絶縁ゲート型半導体装置。

【請求項5】 前記各ゲート電極層はその周囲を絶縁膜で覆われることを特徴とする請求項1または請求項3に記載の絶縁ゲート型半導体装置。

【請求項6】 前記他のチャンネル層はその両端に逆導電型の他のソース領域およびドレイン領域を設けた一導電型の半導体層で形成されることを特徴とする請求項1または請求項3に記載の絶縁ゲート型半導体装置。

【請求項7】 前記各ゲート電極層および前記他のチャンネル層は単結晶シリコンまたはポリシリコンであることを特徴とする請求項1または請求項3に記載の絶縁ゲート型半導体装置。

【請求項8】 1つのチャンネル層となる一導電型の半導体基板上に絶縁膜を形成し、該絶縁膜上に半導体材料からなるゲート電極層を形成する工程と、全面に絶縁膜を形成し、前記ゲート電極層を絶縁膜で覆う工程と、

前記ゲート電極層上に他のチャンネル層となる一導電型の半導体層を形成する工程と、

前記ゲート電極層および他のチャンネル層を交互に複数積層する工程と、

前記1つのチャンネル層表面に逆導電型の1つのソース領域およびドレイン領域を形成し、同時に他のチャンネル層

2

の両端に他のソース領域およびドレイン領域を形成する工程とを具備することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項9】 前記ゲート電極層および他のチャンネル層を複数積層した後、全面に逆導電型不純物を導入し前記1つのチャンネル層表面で前記ゲート電極層と隣接して露出した領域に1つのソース領域およびドレイン領域を形成し、同時に他のチャンネル層の両端に他のソース領域およびドレイン領域を形成する工程と、前記1つのソース領域と前記他のソース領域とにコンタクトするソース電極を形成し、前記1つのドレイン領域と前記他のドレイン領域とコンタクトするドレイン電極を形成し、前記各ゲート電極層のすべてとコンタクトするゲート電極を形成する工程とを具備することを特徴とする請求項8に記載の絶縁ゲート型半導体装置の製造方法。

【請求項10】 前記ゲート電極層および他のチャンネル層を複数積層した後、前記1つのチャンネル層表面で前記ゲート電極層と隣接して露出した領域および前記他のチャンネル層両端にコンタクトする逆導電型不純物が導入されたポリシリコンよりなるソース電極およびドレイン電極を形成し、前記各ゲート電極層のすべてとコンタクトするゲート電極を形成する工程とする工程と、前記ソース電極およびドレイン電極中の不純物を前記全てのチャンネル層に拡散して前記1つのチャンネル表面に前記1つのソース領域およびドレイン領域を形成し、前記他のチャンネル層の両端に他のソース領域およびドレイン領域を形成する工程とを具備することを特徴とする請求項8に記載の絶縁ゲート型半導体装置の製造方法。

【請求項11】 1層目の前記ゲート電極層を絶縁膜で覆った後、全面に逆導電型不純物を導入して前記1つのチャンネル層表面に前記1つのソース領域およびドレイン領域を形成することを特徴とする請求項8に記載の絶縁ゲート型半導体装置の製造方法。

【請求項12】 前記各ゲート電極層および各半導体層は、アモルファスシリコンの固相エピタキシャル成長によりシリコン単結晶に形成することを特徴とする請求項8に記載の絶縁ゲート型半導体装置の製造方法。

【請求項13】 前記各ゲート電極層および各半導体層は、シリコン原子の分子線エピタキシーによりシリコン単結晶に形成することを特徴とする請求項8に記載の絶縁ゲート型半導体装置の製造方法。

【請求項14】 前記各ゲート電極層および各半導体層は、ポリシリコンで形成されることを特徴とする請求項8に記載の絶縁ゲート型半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁ゲート型半導体装置およびその製造方法に係り、特にチャンネル幅の増加によりオン抵抗を低減できる絶縁ゲート型半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】携帯端末の普及に伴い小型で大容量のリチウムイオン電池が求められるようになってきた。このリチウムイオン電池の充放電のバッテリーマネジメントを行う保護回路は携帯端末の軽量化のニーズにより、より小型で負荷ショートにも十分に耐えうるものでなくてはならない。かかる保護回路はリチウムイオン電池の容器内に内蔵されるために小型化が求められ、チップ部品を多用したCOB(Chip on Board)技術が駆使され、小型化の要求に応じてきた。しかし一方ではリチウムイオン電池に直列にパワーMOSFETを接続するのでこのパワーMOSFETのオン抵抗も極めて小さくするニーズがあり、これが携帯電話では通話時間や待機時間を長くするために不可欠の要素である。

【0003】このためにチップを製造する上で微細加工によりセル密度を上げる開発が進められてきた。具体的には、セルサイズを縮小することで、セル密度を従来の750万セル/inch<sup>2</sup>から2500万セル/inch<sup>2</sup>へと大幅に高めることにより従来のプレーナ型MOSFETに対してトレンチ型パワーMOSFETでは、約33%のオン抵抗を低減できるようになった。

【0004】図17を用いて従来のトレンチ型パワーMOSFETの構造をNチャンネル型を例に示す。図17(A)は上面図であり、図17(B)は断面図である。

【0005】図17(A)によれば、トレンチ型MOSFETは、格子状のトレンチ27と、トレンチ27に埋設されたゲート電極33と、トレンチ27に沿って設けられたソース領域35と、ソース領域35に囲まれた領域に設けたボディコンタクト領域34とから構成される。なお、層間絶縁膜およびソース電極は省略してある。

【0006】また、破線で示した部分がトレンチ型MOSFETの1つのセル38となる。

【0007】トレンチ27は幅を約1 $\mu$ mとし、実動作領域上で約5 $\mu$ m間隔の格子状に形成し、内壁をゲート酸化膜(図示せず)で被覆する。トレンチ27内には、ポリシリコンを埋設し、不純物を導入して低抵抗化を図り、ゲート電極33を設ける。

【0008】ボディコンタクト領域34は基板の電位安定化のために、正方形もしくはそれに準じる形状で、ソース領域35に囲まれて島状に形成される。

【0009】ソース領域35はトレンチ27に沿って設けられ、四角またはそれに準じる形状になる。チャンネルは、ソース領域35からトレンチ27の深さ方向に、ゲート酸化膜(図示せず)を介してゲート電極33に隣接して形成される。ゲート幅Wは、電流経路となるチャンネルの幅であり、この場合1つの基本セルのゲート幅は4 $\times$ W2となる。

【0010】図17(B)には、トレンチ型MOSFE

Tの断面構造を示す。

【0011】N+型のシリコン半導体基板21の上にN-型のエピタキシャル層からなるドレイン領域22を設け、その表面にP型のチャンネル層24を設ける。チャンネル層24を貫通し、ドレイン領域22まで到達するトレンチ27を設け、トレンチ27の内壁をゲート酸化膜31で被膜し、トレンチ27に充填されたポリシリコンよりなるゲート電極33を設ける。トレンチ27に隣接したチャンネル層24表面にはN+型のソース領域35が形成され、隣り合う2つのソース領域35間のチャンネル層24表面にはP型のボディコンタクト領域34を設ける。さらにゲート電極33印加時にはソース領域35からトレンチ27に沿って破線で示す如く電流経路となるチャンネルが形成される。ゲート電極33上は層間絶縁膜36で覆い、ソース領域35およびボディコンタクト領域34にコンタクトするソース電極37を設ける。

【0012】図18から図21を参照して、従来のトレンチ構造のパワーMOSFETの製造工程を示す。

【0013】図18では、N+型シリコン半導体基板21にN-型のエピタキシャル層を積層してドレイン領域22を形成する。表面に酸化膜23を形成した後、予定のチャンネル層24の部分の酸化膜23をエッチングする。この酸化膜23をマスクとして全面にドーザ量1.0 $\times$ 10<sup>13</sup>でボロンを注入した後、拡散してP型のチャンネル層24を形成する。

【0014】全面にCVD法によりNSG(Non-doped Silicate Glass)のCVD酸化膜25を厚さ3000Åに生成し、レジスト膜によるマスクをトレンチ開口部となる部分を除いてかけて、CVD酸化膜25をドライエッチングして部分的に除去し、チャンネル層24が露出したトレンチ開口部を間口約1.0 $\mu$ mに形成する。

【0015】次に、CVD酸化膜25をマスクとしてトレンチ開口部のシリコン半導体基板をCF系およびHBr系ガスによりドライエッチングし、チャンネル層24を貫通してドレイン領域22まで達する約2.0 $\mu$ mの深さのトレンチ27を形成する。

【0016】更に、ダミー酸化をしてトレンチ27内壁とチャンネル層24表面に3000Å程度のダミー酸化膜を形成してドライエッチングの際のエッチングダメージを除去する。このダミー酸化で形成されたダミー酸化膜とCVD酸化膜25を同時にフッ酸などの酸化膜エッチャントにより除去することにより、安定したゲート酸化膜を形成することができる。また高温で熱酸化することによりトレンチ27の開口部に丸みをつけ、トレンチ27の開口部での電界集中を避ける効果もある。

【0017】図19では、全面を熱酸化してゲート酸化膜31を閾値に応じて例えば厚み約700Åに形成し、その後、トレンチ27に埋設されるゲート電極33を形成する。すなわち、全面にノンドープのポリシリコン層

5

32を堆積し、リンを高濃度に注入・拡散して高導電率化を図り、ゲート電極33を形成する。その後全面に堆積したポリシリコン層32をマスクなしでドライエッチして、トレンチ27に埋設したゲート電極33を残す。

【0018】図20ではレジスト膜PRによるマスクにより選択的にボロンをドーズ量 $5.0 \times 10^{14}$ でイオン注入し、P+型のボディコンタクト領域34を形成した後、レジスト膜PRを除去する。その後、新たなレジスト膜PRで予定のソース領域35およびゲート電極33を露出する様にマスクして、砒素をドーズ量 $5.0 \times 10^{15}$ でイオン注入し、N+型のソース領域35をトレン

チ27に隣接するチャンネル層24表面に形成した後、レジスト膜PRを除去する。

【0019】図21では、全面にBPSG (Boron Phosphorus Silicate Glass) 層をCVD法により堆積して、層間絶縁膜36を形成する。その後、レジスト膜をマスクにして少なくともゲート電極33上に層間絶縁膜36を残す。その後アルミニウムをスパッタ装置で全面に付着して、ソース領域35およびボディコンタクト領域34にコンタクトする

【0020】

【発明が解決しようとする課題】一般にパワーMOSFETのオン抵抗 $r_{on}$ は以下の式で表される。

【0021】 $r_{on} = L / (WCox (V_{GS} - V_{th}))$

上式において、L:ゲート長 W:ゲート幅 Cox:ゲート酸化膜の容量  $V_{GS}$ :ゲート印加電圧  $V_{th}$ :しきい値 である。

【0022】この $r_{on}$ によれば、オン抵抗を低減するためには様々のパラメータの改善が考えられるが、例えばゲート幅W(電流経路の幅)を増やすことによって、オン抵抗は低減できる。

【0023】前述のトレンチ型パワーMOSFETでは、図17(A)に示す如くゲート幅Wは、トレンチ周囲に形成されたソース領域の幅W2の総和である。トレンチ型パワーMOSFETでは、基板表面に対して垂直方向に縦型チャンネルを形成するため、加工精度の許す限り単位セルを小型化し、単位面積当たりの単位セル数を増加することができる。

【0024】しかし、トレンチの加工精度はリソグラフィ技術および露光装置に依存するところが大きく、トレンチ型パワーMOSFETの微細化にも限界がある。セル数が増えなくなれば当然ゲート幅Wもこれ以上は増加しないことになり、ゲート幅Wの増加によるオン抵抗の低減が進まない問題があった。

【0025】また、微細化を進めていくと、トレンチ型パワーMOSFETの電流経路がエビタキシャル層とN型基板の界面で外側に曲折し、隣接するセルの電流経路と合流して電流密度が過剰になる。電流密度過剰部分では電流も飽和状態になり、その部分で抵抗成分が発生す

6

ると考えられる。この点においても単位面積あたりの単位セル数の増加には限界があった。

【0026】

【課題を解決するための手段】本発明はかかる課題に鑑みてなされ、一導電型の半導体基板表面の1つのチャンネル層と、前記チャンネル層の表面に離間して設けられた逆導電型の1つのソース領域およびドレイン領域と、前記ソース領域およびドレイン領域と隣接した前記チャンネル層上に交互に積層された複数のゲート電極層および他のチャンネル層とを具備することを特徴とし、従来1層であったプレーナー型トランジスタのゲート電極およびチャンネル層を2層以上にするにより、トランジスタの並列接続を実現するものである。これは、微細化技術によらず、ゲート幅Wを増やせるものであり、従来構造と比較してオン抵抗の大幅な低減を図ることができる。

【0027】また、1つのチャンネル層となる一導電型の半導体基板上に絶縁膜を形成し、該絶縁膜上に半導体材料からなるゲート電極層を形成する工程と、全面に絶縁膜を形成し、前記ゲート電極層を絶縁膜で覆う工程と、前記ゲート電極層上に他のチャンネル層となる一導電型の半導体層を形成する工程と、前記ゲート電極層および他のチャンネル層を交互に複数積層する工程と、前記1つのチャンネル層表面に逆導電型の1つのソース領域およびドレイン領域を形成し、同時に他のチャンネル層の両端に他のソース領域およびドレイン領域を形成する工程とを具備することを特徴とし、新規設備を導入することなく、ゲート幅Wを増加させることでオン抵抗の低減を可能とする絶縁ゲート型半導体装置の製造方法を提供できる。

【0028】

【発明の実施の形態】本発明の実施の形態を図1から図16を参照して詳細に説明する。

【0029】図1には、本発明のスタック型MOSFETの構造をNチャンネル型を例に示す。

【0030】スタック型MOSFETのセルは、第1のチャンネル層1と、ゲート電極層5と、第1のソース領域8およびドレイン領域9と、他のチャンネル層6と、他のソース領域10およびドレイン領域11と、ソース電極12およびドレイン電極13と、ゲート電極14とから構成され、スタック型MOSFETは、このセルが多数個配置されている。

【0031】第1のチャンネル層1は、P型のシリコン半導体基板である。

【0032】ゲート電極層5は、導電性を高めるため不純物が導入されたシリコン単結晶またはポリシリコンからなり、第1のソース領域8およびドレイン領域9と隣接した第1のチャンネル層1上で、他のチャンネル層6と交互に複数積層される。また、その周囲4側面を覆ってゲート酸化膜2が設けられる。

【0033】第1のソース領域8およびドレイン領域9は、第1のチャンネル層1表面にゲート長Lで離間して設



7

けられ、第1層目のゲート電極層5と隣接するN+型領域である。

【0034】他のチャネル層6は、ゲート電極層5上で、ゲート電極層と交互に複数積層されるシリコン単結晶又はポリシリコンからなるP型半導体層であり、その両端には他のソース領域10およびドレイン領域11となるN+型領域を有する。チャネル層とゲート電極層が接している長さ(W1)の総和がゲート幅Wとなり、他のチャネル層6ではゲート電極層5に沿ってチャネルが形成される。つまり、ゲート電極層5で挟まれたチャネル層6には上下にチャネルが形成され、ゲート電極層5および他のチャネル層6の積層数に比例して、ゲート幅Wも増加する。

【0035】他のソース領域10およびドレイン領域11は、他のチャネル層6の両端に形成されたN+型領域であり、他のソース領域10は全てソース電極12とコンタクトし、他のドレイン領域11は全てドレイン電極13とコンタクトする。

【0036】ゲート電極14は、不純物が導入されたポリシリコン等の導電性材料または金属からなり、ゲート電極層5を延在して積層し、その全てとコンタクトさせる。

【0037】ソース電極12は、第1のソース領域8と他のソース領域10の全てとコンタクトし、ドレイン電極13は、第1のドレイン領域9と他のドレイン領域11の全てとコンタクトする。それぞれ不純物が導入されたポリシリコン等の半導体材料又は金属で形成される。

【0038】ソース電極12およびドレイン電極13で挟まれた領域がスタック型MOSFETの1つのセルであり、図1に示す如く、隣接するセルではソース電極またはドレイン電極を共通に使用しており、このセルが多数個配置されている。また、隣接するセルでは、他のソース領域10およびドレイン領域11がソース電極12またはドレイン電極13を中心として対称に形成される。

【0039】また、図2に、配線層の一例を示す。一点鎖線で示すスタック型MOSFETのセル18は連続して多数個配置される。ソース電極12はソース配線層15によって各セル間で連結され、ドレイン電極13は、ドレイン配線層16により各セル間で連結される。ゲート電極14は隣接するセル間で延在されて連結される。例えば、ゲート電極14は第1層目の配線層となり、絶縁膜等を介して第2層目となるソース配線層15およびドレイン配線層16が形成される。

【0040】尚、図2に示す配線のパターンはその一例であり、各セル間でソース電極12、ドレイン電極13およびゲート電極14がそれぞれ連結されていれば、これに示す限りではない。

【0041】図3には本発明のスタック型MOSFETの1つのセルの上面図および断面図を示す。図3(A)

8

が上面図であり、図3(B)はA-A線の断面図である。

【0042】ソース電極12およびドレイン電極13は、半導体基板上でゲート電極層5および他のチャネル層6に隣接して設けられる。

【0043】ゲート電極14は、全てのゲート電極層5とコンタクトして設けられる。ゲート電極層5は、ゲート電極14とのコンタクト部では他のチャネル層を介せずに積層されており、エッチングによりゲート電極層5を貫通するコンタクト孔を設けて不純物を導入したポリシリコン又は金属等の導電性材料を埋設する。

【0044】本発明の特徴は、交互に積層したゲート電極層5および他のチャネル層6にある。この構造にすることにより、他のチャネル層6はゲート酸化膜2を介してゲート電極層5と接する面にチャネルが形成される。図1および図3(B)に示す如く、チャネル層とゲート電極層5が接している長さW1の総和がゲート幅Wとなり、ゲート電極層5および他のチャネル層6の積層数に比例して、ゲート幅Wも増加する。つまり従来のプレーナー型MOSFETのサイズで、トランジスタを複数並列接続した構造となり、1層のプレーナー型トランジスタと比較してゲート電極層5が2層の場合でオン抵抗が4分の1、3層の場合でオン抵抗が6分の1となるものである。また、ゲート幅Wも積層数に比例して増加し、ゲート電極層5に挟まれたチャネル層6ではその上下にチャネルが形成されるので、2層の場合でゲート幅Wは4倍になり、3層の場合でゲート幅Wは6倍となる。なお、上記のオン抵抗およびゲート幅Wの値は、図1に示す如く、ゲート電極層5およびチャネル層6を交互に積層し、最上層がチャネル層6となっている場合である。

【0045】図4には、具体的な従来のプレーナー型MOSFETおよびトレンチ型MOSFETと本発明のスタック型MOSFETの比較を示す。図4(A)はオン抵抗の比較であり、図4(B)はゲート幅Wの比較である。この試算では、チップサイズ2.3×2.8mmで、オン抵抗が8mmΩのトレンチ型MOSFETを基準にして、同一チップサイズで各素子を配置した場合の1例である。また、プレーナー型MOSFETと本発明のスタック型MOSFETのゲート長Lはいずれも5μmであり、スタック型MOSFETは図1に示す如く、最上層がチャネル層6の場合である。

【0046】図4(A)によれば、本発明のスタック型MOSFETは、1層では27.8mmΩであるが、ゲート電極層が2層で、オン抵抗が6.95mmΩとなり、トレンチ型MOSFETの8mmΩを下回っており、従来のプレーナー型MOSFETと比較すると10mmΩに対して、約3割の低減となっている。更に、本発明のスタック型MOSFETを3層にすれば、4.6mmΩとなる。

【0047】図4(B)によれば、従来のプレーナー型

50

MOSFETは今回の試算の条件の下ではゲート幅Wが約130万 $\mu\text{m}$ であり、トレンチ型MOSFETは約540万 $\mu\text{m}$ である。本発明のスタック型MOSFETでは、1層では90万 $\mu\text{m}$ であるが、ゲート電極層と比例して増加するため、3層以上でトレンチ型MOSFETを上回ることが判る。

【0048】つまり、オン抵抗の比較ではゲート電極層が2層以上で従来技術よりも低減でき、ゲート幅Wの比較ではゲート電極層が3層以上で、従来技術よりも上回り、オン抵抗が低減できるものである。ここで、いずれもオン抵抗の比較のための計算であるが、効果に違いが出る理由は構造の違いによるものであり、トレンチ型MOSFETでは、エピタキシャル層の抵抗およびN+型基板での抵抗を含む。しかし、本発明のスタック型MOSFETの構造では、抵抗成分はチャンネル層抵抗のみである。オン抵抗の比較では、単純にゲート幅Wを比較した場合よりも、良い結果が得られているものである。

【0049】しかし、いずれにしてもゲート電極層5および他のチャンネル層6の積層数に比例して、積層が可能な限りゲート幅Wを増大させることができるので、装置やリソグラフィ技術による微細化に依存することなく、従来のデザインルールおよびチップサイズでオン抵抗の大幅な低減が可能となるわけである。

【0050】尚、本発明の構造においては、ゲート電極層5およびチャンネル層6が交互に積層されていれば良く、最上層がゲート電極層5であってもよい。

【0051】次に図5から図16を参照して本発明のスタック型パワーMOSFETの製造方法をNチャンネル型を例に説明する。尚、以下の製造方法の説明においては、1つのセルについてのみ図示する。

【0052】トレンチ型パワーMOSFETの製造方法は、1つのチャンネル層となる一導電型の半導体基板上に絶縁膜を形成し、該絶縁膜上に半導体材料からなるゲート電極層を形成する工程と、全面に絶縁膜を形成し、前記ゲート電極層を絶縁膜で覆う工程と、前記ゲート電極層上に他のチャンネル層となる一導電型の半導体層を形成する工程と、前記ゲート電極層および他のチャンネル層を交互に複数積層する工程と、前記1つのチャンネル層表面に逆導電型の1つのソース領域およびドレイン領域を形成し、同時に他のチャンネル層の両端に他のソース領域およびドレイン領域を形成する工程とから構成される。

【0053】本発明の第1の工程は図5および図6に示す如く、第1のチャンネル層となる一導電型の半導体基板上に絶縁膜を形成し、該絶縁膜上に半導体材料からなるゲート電極層を形成することである。

【0054】図5では、第1のチャンネル層1となるP型シリコン半導体基板を800℃程度で酸化し、駆動電圧により数百Å程度のゲート酸化膜2を形成する。

【0055】図6は、前記絶縁膜上に半導体材料からなるゲート電極層の形成を示し、ゲート電極層となるシリ

コン半導体層形成の第1の実施の形態としてSPE (Solid-phase Epitaxy: 固相エピタキシャル成長) を用いる。

【0056】図6(A)は、SPEのために、予定のゲート電極層と隣接する領域のゲート酸化膜2に1 $\mu\text{m}$ 程度の幅で開口部3を設けて第1のチャンネル層を露出させ、560℃程度で全面にアモルファスシリコンをデポジションする。この開口部3は、後に1つのソースおよびドレイン領域を形成する際にも活用され、ソースおよびドレイン電極がコンタクトすることになる。その後、500℃程度でアニールすることにより、アモルファスシリコンがゲート酸化膜2の開口部3を基点としてSPE (固相エピタキシャル成長) により、単結晶化する。これにより、ゲート電極層となるシリコン半導体層4が形成される。

【0057】ここで、シリコン半導体層4形成の第2の実施の形態として、MBE (Molecular beam Epitaxy: 分子線エピタキシ) により、シリコン分子をデポジションしてシリコン単結晶層を形成する方法または、既知の方法によりポリシリコンをデポジションする方法があり、詳細に付いては後述する。

【0058】その後、図6(B)に示す如く、シリコン半導体層4の全面にリン等を高濃度に注入・拡散して低抵抗化を図り、例えばゲート幅W=20 $\mu\text{m}$ 、ゲート長L=5 $\mu\text{m}$ にエッチングして第1のチャンネル層1上にゲート酸化膜2を介してゲート電極層5を形成する。

【0059】本発明の第2の工程は図7に示す如く、全面に絶縁膜を形成し、前記ゲート電極層を絶縁膜で覆うことである。

【0060】ゲート電極層5上に、他のチャンネル層を形成するために、800℃程度で酸化し、駆動電圧により数百Å程度のゲート酸化膜2を再度形成する。これにより、ゲート電極層5の周囲4側面がゲート酸化膜2により被覆される。

【0061】本発明の第3の工程は図8に示す如く、前記ゲート電極層上に他のチャンネル層となる一導電型の半導体層を形成することである。

【0062】まず、図8(A)では、SPEのための開口部3がゲート酸化膜2で覆われているので、再度エッチングにより開口して第1のチャンネル層1を露出させる。ゲート電極層5形成と同様に、560℃程度で全面にアモルファスシリコンをデポジションし、その後、500℃程度でアニールする。このSPEによりアモルファスシリコンは単結晶化され、ゲート電極層5と同様のシリコン半導体層4が形成される。その後図8(B)に示す様に、P型不純物を導入後所望の形状にエッチングして、他のチャンネル層6を形成する。チャンネル層は図3(B)に示す如く、所望の幅W1を有するようにエッチングされる。

【0063】本発明の第4の工程は図9に示す如く、前

11

記ゲート電極層および他のチャネル層を交互に複数積層することである。

【0064】本工程は、本発明の第1の特徴となる工程であり、前記第1の工程から第4の工程を複数繰り返すことにより、図9(A)～(C)に示すようにゲート電極層5と他のチャネル層6を交互に複数積層させる。これにより、周囲4側面をゲート酸化膜2に覆われたゲート電極層5と、チャネル層6が交互に複数積層される。

【0065】後の工程で他のチャネル層両端にソース領域およびドレイン領域が形成されることにより、複数のトランジスタの並列接続が実現でき、ゲート電極層5が2層であれば、オン抵抗が4分の1、3層であれば6分の1となる。また、積層数に比例してゲート幅Wが増加するので、ゲート電極層5が2層であればゲート幅Wは4倍に、3層であればゲート幅は6倍になる。尚、この値はゲート電極層5とチャネル層6を交互に積層し、最上層がチャネル層6となった場合である。従って、微細化によりセル密度を向上するのではなく、トランジスタ基本素子自体のオン抵抗の低減が実現できる。

【0066】また、リソグラフィ技術や装置に依存することなく、従来のデザインルールで実現できるので、新規設備を導入することなくオン抵抗を低減するパワーMOSFETを製造することができる。

【0067】本発明の第5の工程は図10に示す如く、前記第1のチャネル層表面に逆導電型の第1のソース領域およびドレイン領域を形成し、同時に他のチャネル層の両端に他のソース領域およびドレイン領域を形成することである。

【0068】本工程は本発明の第2の特徴となる工程であり、イオン注入により、またはコンタクトするソースおよびドレイン電極からの拡散により、第1のソース領域8およびドレイン領域9、他のソース領域10およびドレイン領域11を形成し、複数積層したスタック型パワーMOSFETを形成する。上述の如く、基本素子を多重に並列接続したことになるので、オン抵抗が大幅に低減できる。ゲート幅Wも、ゲート電極層5およびチャネル層が接する幅W1の総和であり、ゲート電極層5に挟まれた他のチャネル層6には上下にチャネルが形成されるので、ゲート電極層5の数に比例して大きくなる。つまり、従来のチップサイズおよびデザインルールでありながら、ゲート幅Wを増大することができる。

【0069】図10(A)は、イオン注入により形成する方法を示す。全面に層間絶縁膜7を形成し、開口部3を再び露出させる。この開口部3は、第1層目のゲート電極層5と隣接した、予定の第1のソース領域およびドレイン領域となる。同時に図3(B)に示す様に、延在したゲート電極層5の全てにコンタクトするゲート電極を形成するための溝をエッチングにより形成する。

【0070】斜めにリン等のN<sup>+</sup>型不純物をイオン注入し、第1のソース領域8およびドレイン領域9を形成

12

し、同時に他のチャネル層6両端に、他のソース領域10およびドレイン領域11を形成する。

【0071】その後、図10(B)に示す如く、全面にポリシリコンを堆積して溝にポリシリコンを埋設し、 $1 \times 10^{18} \sim 1 \times 10^{20} \text{cm}^{-3}$ 程度の不純物を導入して、全てのソース領域とコンタクトするソース電極12を形成し、全てのドレイン領域とコンタクトするドレイン電極13を形成する。さらに、全てのゲート電極層とコンタクトするゲート電極14を形成する(図3(A)(B)参照)。

【0072】ここで、ソース電極12、ドレイン電極13、ゲート電極14は、アルミニウム、タングステンなどの金属でもよい。また、イオン注入をせずに図10(B)に示す如く不純物が導入されたポリシリコンでソース電極12およびドレイン電極13を形成し、ソース電極12およびドレイン電極13の不純物を熱拡散させて全てのソース領域およびドレイン領域を形成してもよく、その場合ゲート電極14は、アルミニウム、タングステンなどの金属でもよい。

【0073】尚、図10では1つのセルについて説明しているため省略されているが、実際には第1のソース領域8と隣接する両側の他のチャネル層6の、第1のソース領域側の側壁に他のソース領域10が形成される。他のドレイン領域11についても同様である。

【0074】一方、図11から図15に、シリコン半導体層4形成の第2の実施の形態を示す。前述の通り、ゲート電極層5および他のチャネル層6はシリコン半導体層4であればよく、その形成方法として、MBE(Molecular beam Epitaxy:分子線エビタキシ)により、シリコン分子をデポジションしてシリコン単結晶層を形成する方法、または既知の方法によりポリシリコンをデポジションする方法がある。

【0075】図11は、第1のチャネル層1であるシリコン半導体基板上に前述の方法により、ゲート酸化膜2を形成し、その後、全面にMBEによりシリコン原子をデポジションするか、或いはCVD法等既知の方法によりポリシリコンをデポジションしてシリコン半導体層4を形成する(図11(A))。更に、不純物を導入後、所望の形状にエッチングしてゲート電極層5を形成する(図11(B))。

【0076】図12は、ゲート酸化膜の形成を示す。前述の方法により駆動電圧に応じて数百Å程度のゲート酸化膜2を全面に形成し、ゲート電極層5の周囲4側面を被覆する。

【0077】図13は、他のチャネル層の形成を示す。全面にMBEまたはポリシリコンでシリコン半導体層4を形成し、不純物導入後、図3(B)に示す如く、所望の幅W1にエッチングされる。その後、全面にゲート酸化膜2を形成する。

【0078】その後、図14(A)および(B)に示す

13

ように、ゲート電極層5および他のチャネル層6を複数交互に積層する。

【0079】更に、図15は、予定のソース電極およびドレイン電極部分をエッチングして溝をそれぞれ設け、ゲート電極層5と隣接する第1のチャネル層1を露出する。また、同時に予定のゲート電極部分にもエッチングにより溝を設ける。

【0080】この後の工程は、第1の実施の形態の第5工程(図10)以降と同一工程となる。

【0081】ここで、図16(A)、(B)に示すように第1および第2の実施の形態において、いずれの場合も第1のソース領域8およびドレイン領域9は、第1層目のゲート電極層5を形成後絶縁膜で覆い、全面にN<sup>+</sup>型不純物を拡散して1つのチャネル層1表面に形成してもよい。

【0082】また、本発明の製造方法においては、ゲート電極層5およびチャネル層6が交互に積層されていれば良く、最上層がゲート電極層5であってもよい。

【0083】

【発明の効果】本発明に依れば、ゲート電極層およびチャネル層を複数積層することにより、トランジスタを複数並列接続した構造を実現できるので、従来のトランジスタのサイズでありながら、オン抵抗を大幅に低減することができる。また、ゲート幅Wも積層が可能である限り、積層数に比例して増加する。つまり、本発明では、基本素子自身のオン抵抗を低減することが可能である。従来のMOSFETが微細化によりセル密度を上げて総オン抵抗を低減することが主流であり、装置やリソグラフィ技術に依存する点が多かった。しかし本発明では、トランジスタを多層構造にすることにより、従来のデザインルールまたはサイズでトランジスタの並列接続が実現できる。ゲート幅Wに着目すると、ゲート電極層および他のチャネル層の積層数に比例して、積層が可能限りゲート幅Wを増大させることができる。つまり、微細化により装置の総オン抵抗を低減するのではなく、トランジスタの各基本素子自体のオン抵抗を低減できる利点を有する。

【0084】具体的には、オン抵抗の低減に有効な現行のトレンチ型MOSFETのチップに本発明の構造を適用して試算すると、最上層がチャネル層の場合においては、ゲート電極層が2層でチャネル層が4層できるのでオン抵抗は現行のトレンチ型MOSFETを下回り、ゲート電極層が3層ではチャネル層が6層できるので現行のトレンチ型MOSFETと比較して約40%オン抵抗を低減することができる。

【0085】また、本発明の製造方法に依れば、製造装置およびリソグラフィ技術に依存することなくラン

14

ジスタの基本素子自体のオン抵抗を低減できる。デザインルールも従来通りで良いので、新規設備を導入することなく、オン抵抗を低減するパワーMOSFETが製造できる利点を有する。

【図面の簡単な説明】

【図1】本発明の絶縁ゲート型半導体装置を説明する構造図である。

【図2】本発明の絶縁ゲート型半導体装置を説明する上面図である。

【図3】本発明の絶縁ゲート型半導体装置を説明する(A)上面図、(B)断面図である。

【図4】本発明の絶縁ゲート型半導体装置を説明する特性図である。

【図5】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図6】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図7】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図8】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図9】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図10】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図11】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図12】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図13】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図14】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図15】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図16】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図17】従来の絶縁ゲート型半導体装置を説明する(A)上面図、(B)断面図である。

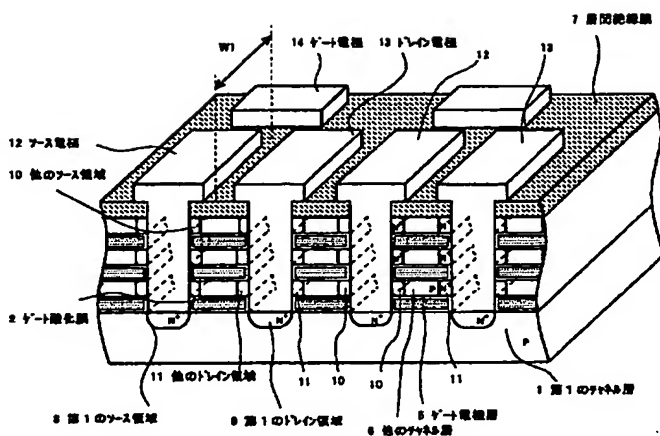
【図18】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図19】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

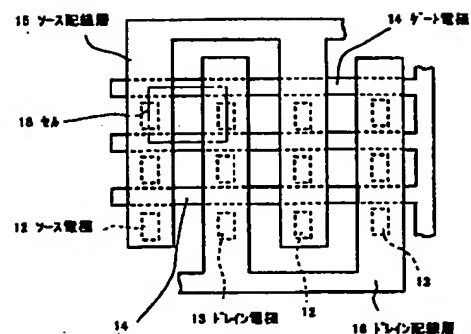
【図20】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図21】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

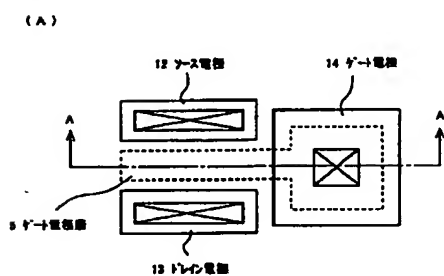
【図1】



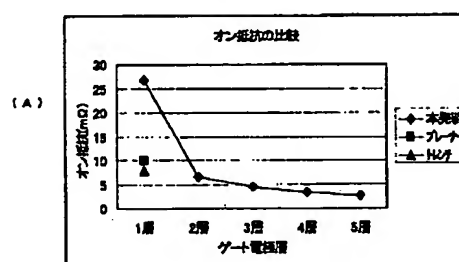
【図2】



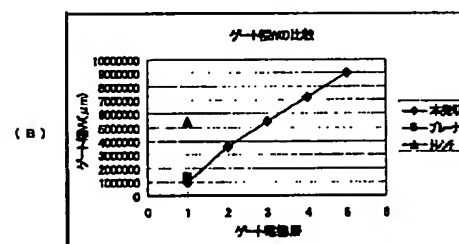
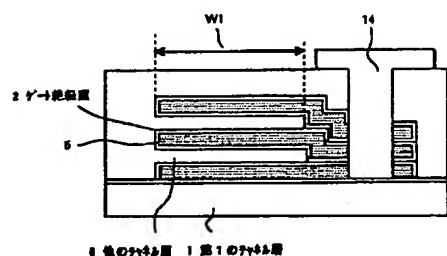
【図3】



【図4】

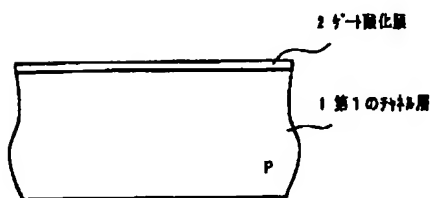


(B)

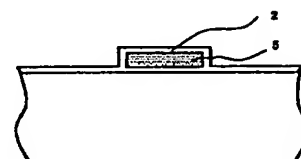
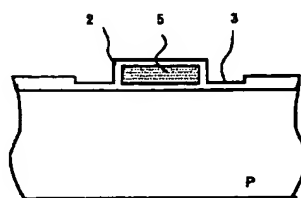


【図12】

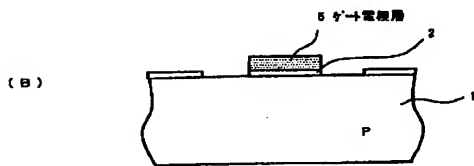
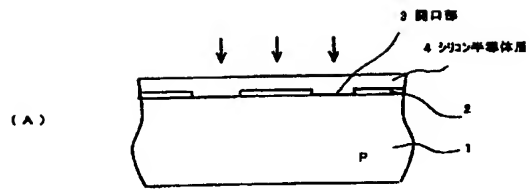
【図5】



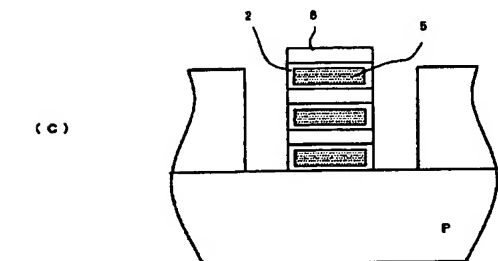
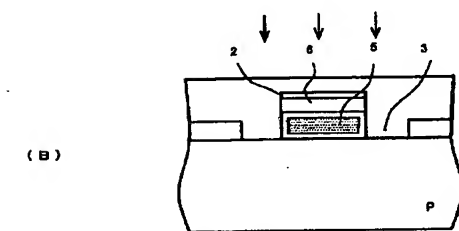
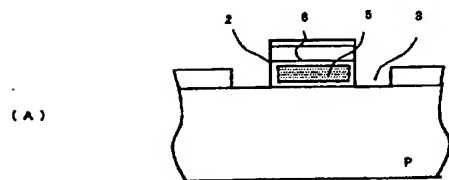
【図7】



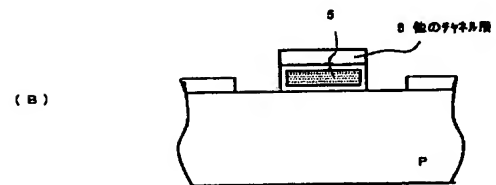
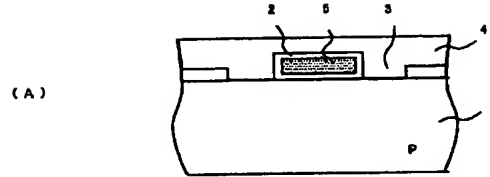
【図6】



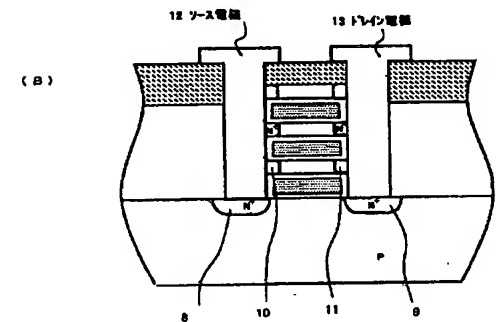
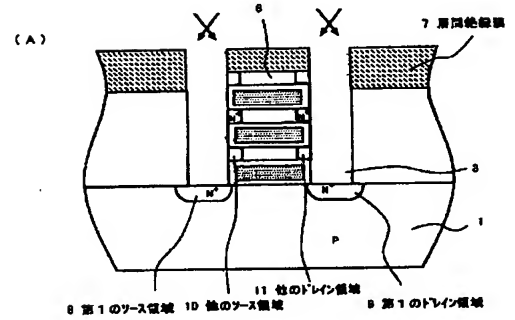
【図9】



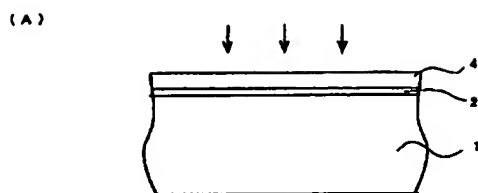
【図8】



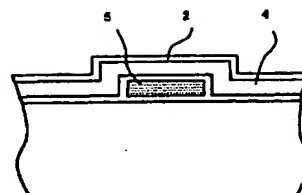
【図10】



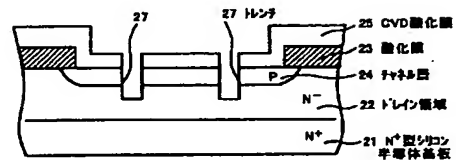
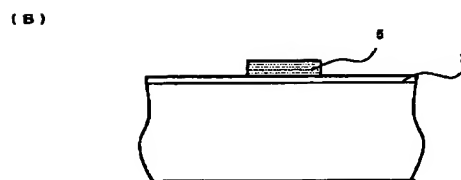
【図11】



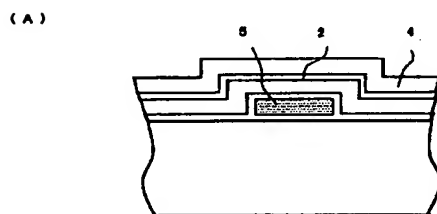
【図13】



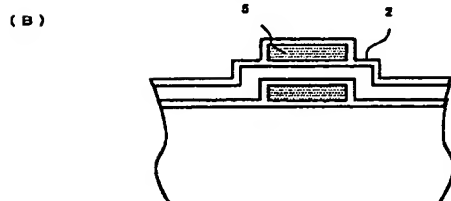
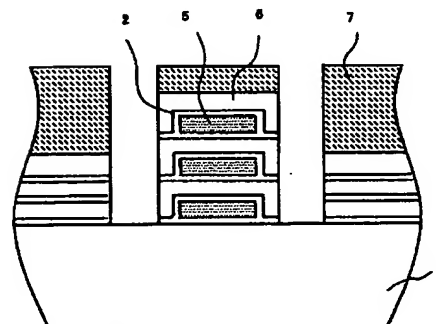
【図18】



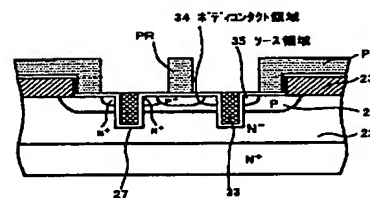
【図14】



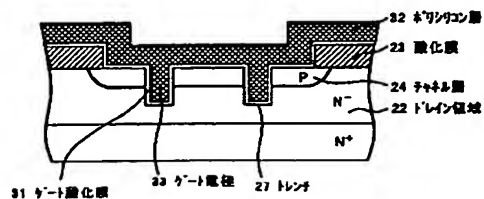
【図15】



【図20】

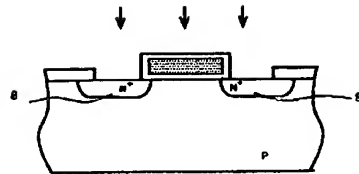


【図19】

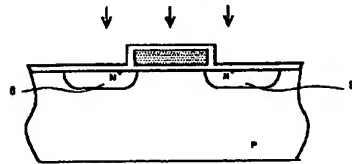


【図16】

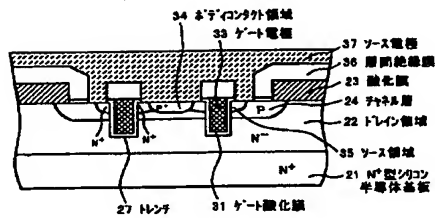
(A)



(B)

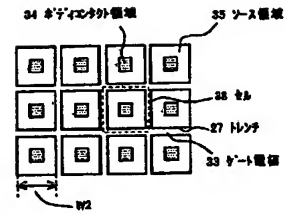


【図21】

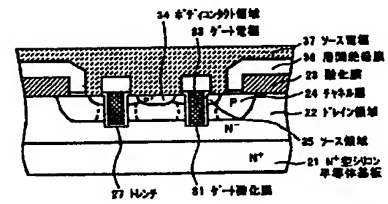


【図17】

(A)



(B)



フロントページの続き

(51) Int. Cl. 7

識別記号

F I  
H 0 1 L 29/78

テーマコード(参考)

6 1 3 Z

(72) 発明者 桑子 栄一郎  
 大阪府守口市京阪本通2丁目5番5号 三  
 洋電機株式会社内



Fターム(参考) 4M104 AA01 BB01 BB02 BB18 BB40  
CC01 CC05 DD06 DD15 DD35  
DD43 DD55 DD78 DD92 FF01  
FF06 FF26 GG09 GG10 GG14  
GG18 HH20  
5F048 AA01 AC06 BA01 BB02 BB05  
BB19 BD06 BD09 BG14 CB08  
5F110 AA07 BB12 CC10 DD05 EE08  
EE09 EE30 EE33 EE36 EE41  
FF02 FF22 GG02 GG12 GG13  
GG22 GG41 HJ14 HL03 HL05  
HM02 HM13 HM17  
5F140 AA30 AB04 AB05 BA01 BB01  
BB06 BC06 BC11 BC12 BE07  
BE14 BF04 BF35 BF42 BF45  
BF47 BF60 BG12 BG26 BG30  
BG32 BG38 BG41 BG43 BG49  
BH05 BH09 BH10 BH25 BH26  
BJ26 BJ28 BK14

**THIS PAGE BLANK (USPTO)**